

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-065686

(43)Date of publication of application : 08.03.1996

(51)Int.Cl.

H04N 7/32  
G11B 20/10  
H03M 7/30  
H03M 7/40

(21)Application number : 07-134914

(71)Applicant : HITACHI LTD

(22)Date of filing : 01.06.1995

(72)Inventor : OKU MASUO  
TSUBOI YUKITOSHI  
NAKAMOTO TAKASHI

(30)Priority

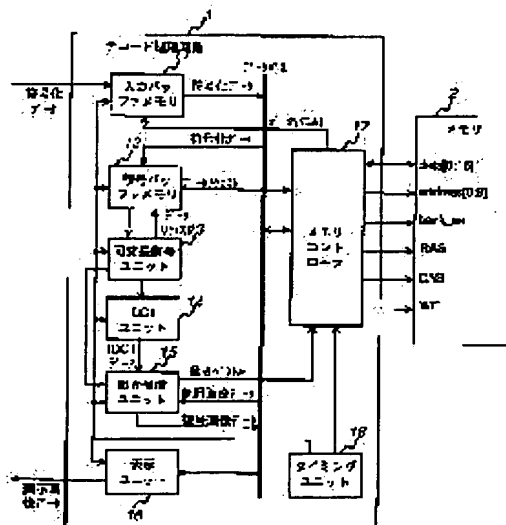
Priority number : 06133058 Priority date : 15.06.1994 Priority country : JP

## (54) IMAGE DECODING DEVICE

(57)Abstract:

PURPOSE: To connect a memory and a decoder with small bus width by composing the memory of plural memory cells (banks).

CONSTITUTION: This device is provided with a decode processing circuit 1 for performing the buffering, decode processing and further display processing of encoded data and a memory 2 connected to this decode processing circuit 1. This memory 2 is internally provided with memory arrays to be used as two memory banks and equipped with address control circuits such as a row decoder and a column decoder corresponding to the respective memory arrays. Therefore, the memory 2 is composed of plural memory cells (banks) and a row address is set to a certain memory cell while data are written in the different memory cell or the data are read out of it. Thus, waiting time is not required for setting the row address, valid data band width to the memory 2 is improved, and the memory 2 and the decoder 1 can be connected by the small bus width like 16bit.



## LEGAL STATUS

[Date of request for examination] 30.05.2002

[Date of sending the examiner's decision of rejection] 04.01.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-65686

(43) 公開日 平成8年(1996)3月8日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 7/32				
G 1 1 B 20/10		E 7736-5D		
H 0 3 M 7/30		A 9382-5K		
		Z 9382-5K		

H 0 4 N 7/ 137

Z

審査請求 未請求 請求項の数 9 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願平7-134914

(22) 出願日 平成7年(1995)6月1日

(31) 優先権主張番号 特願平6-133058

(32) 優先日 平6(1994)6月15日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 奥 万寿男

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所マルチメディアシステム開

発本部内

(72) 発明者 坪井 幸利

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所マルチメディアシステム開

発本部内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

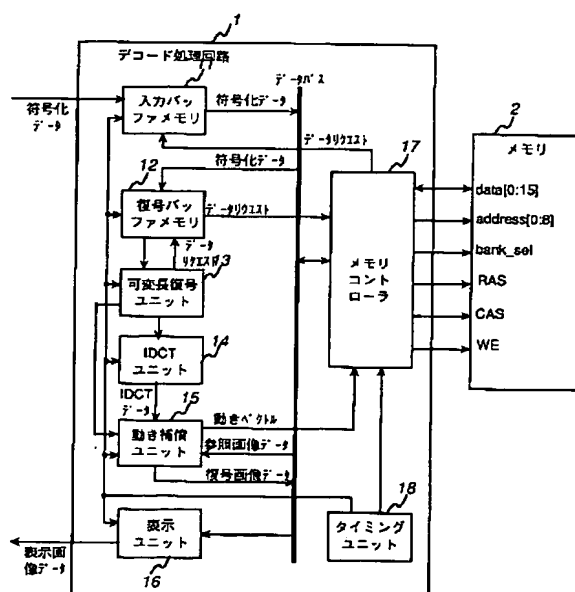
(54) 【発明の名称】 画像復号化装置

(57) 【要約】

【目的】 画像復号化装置において、メモリとのデータバス幅を少なくする。

【構成】 メモリを二つのバンクで構成し、画像データ、符号化データの読み書きにおいて、交互にアクセスする。

図 1



## 【特許請求の範囲】

【請求項1】映像信号を複数の画素から成るブロック単位で符号化してデータ圧縮して生成した符号化データを復号して、復号画像データを得る復号処理手段と、復号画像データを記憶保持するメモリ手段と、メモリ手段に記憶保持した復号画像データを映像信号の走査順に変換した表示画像データを得る表示処理手段を備え、復号処理手段は、復号画像データの書き込み手段、復号画像データを参照画像データとして読み出す参照画像データの読み出し手段からなるメモリ制御手段を含み、前記表示処理手段は、メモリ制御手段として、表示画像データの読み出し手段を含み、前記メモリ手段は、第1のメモリアレイと第2のメモリアレイと、アドレス信号等のメモリ制御信号のバッファ手段を含み、復号画像データの書き込み手段、参照画像データの読み出し手段、表示画像データの読み出し手段は、前記第1のメモリアレイからデータを読み出している、もしくは第1のメモリアレイにデータを書き込んでいる間に、第2のメモリアレイに対するメモリ制御信号を供給し、第2のメモリアレイからデータを読み出している、もしくは第2のメモリアレイにデータを書き込んでいる間に、第1のメモリアレイに対するメモリ制御信号を供給するメモリ制御方法に基づくことを特徴とする画像復号化装置。

【請求項2】請求項1に記載の画像復号化装置であって、符号化データを復号処理前に一時蓄えるバッファリング手段を備え、バッファリング手段は、メモリ制御手段として、符号化データの書き込み手段、および符号化データの読み出し手段を含み、前記メモリ手段が、符号化データを復号前に一時蓄えるバッファメモリを含み、符号化データの書き込み手段、および符号化データの読み出し手段は、前記第1のメモリアレイからデータを読み出している、もしくは第一のメモリアレイにデータを書き込んでいる間に、第二のメモリアレイに対するメモリ制御信号を供給し、第二のメモリアレイからデータを読み出している、もしくは第二のメモリアレイにデータを書き込んでいる間に、第一のメモリアレイに対するメモリ制御信号を供給し、第一と第二メモリアレイへのアクセスを一对として、前記符号化データをメモリ手段に書き込む、あるいは読み出すメモリ制御方法に基づくことを特徴とする画像復号化装置。

【請求項3】請求項2に記載の画像復号化装置であって、前記第一と第二のメモリアレイへの一对のアクセスで書き込む、もしくは読み出す符号化データ量は、符号化データの書き込み手段、および符号化データの読み出し手

段にて同量であることを特徴とする画像復号化装置。

【請求項4】映像信号を複数の画素から成るブロック単位で符号化してデータ圧縮して生成した符号化データを復号して、復号画像データを得る復号処理手段と、復号画像データを記憶保持するメモリ手段と、メモリ手段に記憶保持した復号画像データを映像信号の走査順に変換した表示画像データを得る表示処理手段を備え、復号処理手段は、復号画像データの書き込み手段、復号画像データを参照画像データとして読み出す参照画像データの読み出し手段からなるメモリ制御手段を含み、表示処理手段は、メモリ制御手段として、表示画像データの読み出し手段を含み、メモリ手段は、第1のメモリアレイと第2のメモリアレイと、アドレス信号等のメモリ制御信号のバッファ手段を含み、復号画像データの書き込み手段、参照画像データの読み出し手段、表示画像データの読み出し手段は、第一のメモリアレイからデータを読み出す、もしくは第一のメモリアレイにデータを書き込むことを始めるにあたり、先行してメモリ手段よりデータを読み出している、あるいは書き込んでいる復号画像データの書き込み手段もしくは参照画像データ読み出し手段もしくは表示画像データ読み出し手段の動作期間に、第一のメモリアレイに対するメモリ制御信号を供給するメモリ制御方法に基づくことを特徴とする画像復号化装置。

【請求項5】請求項4に記載の画像復号化装置であって、符号化データを復号処理前に一時蓄えるバッファリング手段を備え、バッファリング手段は、メモリ制御手段として、符号化データの書き込み手段、および符号化データの読み出し手段を含み、前記メモリ手段が、符号化データを復号前に一時蓄えるバッファメモリを含み、前記復号画像データの書き込み手段、参照画像データの読み出し手段、表示画像データの読み出し手段、符号化データの書き込み手段、および符号化データの読み出し手段は、前記第一のメモリアレイからデータを読み出す、もしくは第一のメモリアレイにデータを書き込むことを始めるにあたり、先行してメモリ手段よりデータを読み出している、あるいは書き込んでいる復号画像データの書き込み手段もしくは参照画像データ読み出し手段もしくは表示画像データ読み出し手段もしくは符号化データの書き込み手段もしくは符号化データの読み出し手段の動作期間に、第一のメモリアレイに対するメモリ制御信号を供給するメモリ制御方法に基づくことを特徴とする画像復号化装置。

【請求項6】映像信号を複数の画素から成るブロック単位で符号化してデータ圧縮して生成した符号化データを復号して、復号画像データを得る復号処理手段と、復号

画像データを記憶保持するメモリ手段と、メモリ手段に記憶保持した復号画像データを映像信号の走査順に変換した表示画像データを得る表示処理手段を備え、

復号処理手段は、復号画像データの書き込み手段、復号画像データを参照画像データとして読み出す参照画像データの読み出し手段からなるメモリ制御手段を含み、

表示処理手段は、メモリ制御手段として、表示画像データの読み出し手段を含み、

メモリ手段は、第1のメモリアレイと第2のメモリアレイと、アドレス信号等のメモリ制御信号のバッファ手段

を含み、  
復号画像データの書き込み手段は、前記ブロックが複数個よりなるマクロブロックを単位として、マクロブロック内の復号画像データの一部を前記メモリ手段内の二つのメモリアレイの一方メモリアレイに、残りの復号画像データをもう一方のメモリアレイに分離して格納させるメモリ制御方法に基づくことを特徴とする画像復号化装置。

【請求項7】請求項6に記載の画像復号化装置であって、

前記復号画像データの書き込み手段は、画面上で隣接するマクロブロック間において、マクロブロック内の同一位置にある復号画像データを異なるメモリアレイに格納させるメモリ制御方法に基づくことを特徴とする画像復号化装置。

【請求項8】請求項6に記載の画像復号化装置であって、

前記復号画像データの書き込み手段は、マクロブロックの左上隅に位置する輝度信号の復号画像データと、同じマクロブロックの左上隅に位置する色信号の復号画像データとを異なるメモリアレイに格納させるメモリ制御方法に基づくことを特徴とする画像復号化装置。

【請求項9】二つのフィールドより一つのフレームを構成するインタレース走査された映像信号の符号化データを復号する請求項6に記載の画像復号化装置であって、  
前記復号画像データの書き込み手段は、マクロブロック内の第一のフィールドに属する復号画像データの一部を、前記メモリ手段内の二つのメモリアレイの一方メモリアレイに、残りの復号画像データをもう一方のメモリアレイに分離して格納し、さらにマクロブロック内の第二のフィールドに属する復号画像データの一部を、前記メモリ手段内の二つのメモリアレイの一方メモリアレイに、残りの復号画像データをもう一方のメモリアレイに分離して格納させるメモリ制御方法に基づくことを特徴とする画像復号化装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、符号化してデータ圧縮した映像信号を復号化し、伸張する画像復号化装置に係り、特にメモリへのデータアクセスを効率的に行なうの

に適したメモリ制御手段を有する画像復号化装置に関する。

【0002】

【従来の技術】ディジタル放送などの応用を目的として、MPEG2と称する画像圧縮の国際標準が定まりつつある。該国際標準では、映像信号に対しフレームもしくはフィールド間で動き補償予測を行い、離散コサイン変換、可変長符号化を適用して画像信号を符号化し、データ圧縮する。（例えば、テレビジョン学会誌V o 1. 48, No. 1, pp44~49）

また、該国際標準に準拠した画像復号化・伸張装置（以下画像復号化装置と記す）のLSIの一例として、日経エレクトロニクスNo. 603（1994. 3. 14）pp101~110に記載のものがある。

【0003】従来の画像復号化装置では、入力される符号化データを入力クロックで一旦符号化データのバッファに書き込むバッファリング過程と、符号化データのバッファから復号クロックで符号化データを読み出しながら復号処理し、その復号した画像データを数フレーム分の容量を備えるフレームメモリに一旦書き込む復号処理過程と、映像信号の走査順に走査変換しながらフレームメモリから復号した画像データを読み出し、所定の表示クロックに従ってディジタル映像信号として表示出力する表示処理過程から成る。さらに復号処理過程においては、符号化データが動き補償予測を適用したデータである場合には、動き補償を行うために、動き予測のタイプに合わせてフレームメモリから参照画像データも読み出す。

【0004】なお従来の画像復号化装置は、256k×16bit（4Mbit）構成のダイナミックRAMを4個用い、合計16Mbit容量のメモリを、復号処理に必要な参照画面の画像データの格納用に少なくとも2面のフレームメモリと、表示処理におけるインターレース変換用のフレームメモリと、さらには符号化データを復号処理前に一時格納する符号化データバッファとして使用している。またデータバス幅は、16×4=64ビットで符号化データならびに画像データの読み書きを行っており、復号クロック周波数として50MHz以上、表示クロックとして13.5MHzが選ばれている。

【0005】

【発明が解決しようとする課題】上記したように従来技術では、データバス幅が64ビットであり、LSIにおいてはピン数、プリント基板においては配線数が多く、コスト低減等に支障をきたしていた。

【0006】本発明はメモリへのアクセスを効率化させ、少ないデータバス幅で、符号化データのバッファリング、復号処理および表示処理に必要なメモリアクセスが可能な画像復号化装置を実現することにある。

【0007】

【課題を解決するための手段】上記した目的を達成する

ために、本発明では、映像信号を複数の画素から成るブロック単位で符号化してデータ圧縮して生成した符号化データを復号して、復号画像データを得る復号処理手段と、復号画像データを記憶保持するメモリ手段と、メモリ手段に記憶保持した復号画像データを、映像信号の走査順に変換した表示画像データを得る表示処理手段を備え、さらに、復号処理手段には、復号画像データの書き込み手段、復号画像データを参照画像データとして読み出す参照画像データの読み出し手段からなるメモリ制御手段を、表示処理手段には、メモリ制御手段として、表示画像データの読み出し手段を、メモリ手段には、第1のメモリアレイと第2のメモリアレイと、アドレス信号等のメモリ制御信号のバッファ手段を備えさせる。

【0008】また、復号処理前に符号化データを一時蓄えるバッファリング手段を備え、バッファリング手段には、符号化データの書き込み手段と、符号化データの読み出し手段を備えさせる。

【0009】

【作用】復号処理手段は、符号化データを復号して復号画像データを得る処理手段であり、メモリ手段は、符号化データを復号処理前に一時蓄えたり復号画像データを一時格納するのに用いる。

【0010】バッファリング手段の符号化データの書き込み手段は、符号化データをメモリ手段に書き込み、符号化データの読み出し手段は、符号化データをメモリ手段より読み出す。また参照画像データの読み出し手段は、動き補償処理において用いる参照画像データをメモリ手段より読み出し、復号画像データの書き込み手段は、復号して得た復号画像データをメモリ手段に書き込む。

【0011】表示処理手段は、復号画像データを映像信号の走査順に変換して映像信号を出力する手段であり、表示画像データの読み出し手段が、復号画像データをメモリ手段より読み出す。

【0012】ここで、参照画像データの読み出し手段、復号画像データの書き込み手段、ならびに表示画像データの読み出し手段、さらには符号化データの書き込み手段、符号化データの読み出し手段は、メモリ手段内の二つのメモリアレイを交互に使用して画像データあるいは符号化データの読み出しあるいは書き込みを行い、メモリ手段への高速アクセスを実現する。

【0013】

【実施例】本発明の実施例を、添付図面により説明する。

【0014】図1は、本発明による画像復号化装置を示す図であり、1は符号化データのバッファリング、復号処理、さらには表示処理を行うデコード処理回路、2はデコード処理回路に接続したメモリである。さらにデコード処理回路1は、入力バッファメモリ11、復号バッファメモリ12、可変長復号ユニット13、IDCT

(逆離散コサイン変換)ユニット14、動き補償ユニット15、表示ユニット16、メモリコントローラ17、タイミングユニット18よりなる。

【0015】図1にて、符号化データは、デコード処理回路1内の入力バッファメモリ11に入力する。さらに符号化データは、入力バッファメモリ11からデータバス、メモリコントローラ17を介して、メモリ2に一時蓄積する。一時蓄積後の符号化データは、メモリ2よりメモリコントローラ17を介して読み出し、復号バッファメモリ12に格納する。

【0016】復号バッファメモリ12から符号化データは、可変長復号ユニット13の要求に応じて、可変長復号ユニット13に供給する。可変長復号ユニット13は、符号化データから離散コサイン変換された係数データや動きベクトル情報などを復号し、係数データはIDCTユニット14へ、動きベクトル情報は動き補償ユニット15へ送出する。IDCTユニット14は、係数データに対し逆離散コサイン変換を行いIDCTデータを生成し、動き補償ユニット15に供給する。動き補償ユニット15は、動きベクトル情報に基づいて、メモリ2から参照画像データを読み出し、IDCTデータと参照画像データとで復号画像データを生成する。

【0017】さらに、復号画像データは、メモリコントローラ17を介しメモリ2に格納する。その後、表示ユニット16の要求に応じて読み出し、表示ユニット16より表示画像データとして出力する。また復号画像データは、動き補償ユニット15で用いる参照画像データとしても用いる。

【0018】なお、タイミングユニット18は、内部に映像信号の同期信号発生器を含み、この同期信号に基づき復号処理ならびに表示処理の各種タイミングを発生させる働きを行う。

【0019】図2はメモリ2の構成図であり、21はバンクセクタ、22は行バッファ、231は列バッファ、232は列カウンタ、241、242は行デコーダ、251、252は列デコーダ、261、262はセンスアンプ/IOバス、271、272はメモリアレイ、281は入力バッファ、282は出力バッファである。

【0020】メモリ2は、内部に2つのメモリバンクとして用いられるメモリアレイ271、272を含んでおり、それぞれに対応して行デコーダ、列デコーダなどのアドレス制御回路を有している。

【0021】アドレスならびに制御信号は、バンクセクタ21、行バッファ22、および列バッファ231に入力する。バンクセクタ21では、どちらのバンクに対してアドレス等が有効なのかを判断し、行デコーダ241、242ならびに列バッファ231を制御する。アドレスが行アドレスを示す場合は、行バッファ22を介して、行デコーダ241、242に供給し、メモリアレ

イ 2 7 1 (バンク 0 と表記する) 用の行デコーダ 2 4 1 もしくはメモリアレイ 2 7 2 (バンク 1 と表記する) 用の行デコーダ 2 4 2 のデコード結果により、メモリアレイ 2 7 1 もしくはメモリアレイ 2 7 2 の指定されたバンクの指定された行に対応するメモリセルをアクティブにする。またアドレスが列アドレスの場合には、列バッファ 2 3 1 に一旦保持した後、この保持値を基に列カウンタ 2 3 2 により、列アドレスを再生成させる。これにより、同一の行の中の列アドレスを連続して供給することなく、自動的に発生可能としている。該再生成後の列アドレスは、列デコーダ 2 5 1 もしくは列デコーダ 2 5 2 でデコードし、メモリが書き込みモードの時には、入力するデータを、入力バッファ 2 8 1 およびセンスアンプ/IOバス 2 6 1 もしくは 2 6 2 を介しメモリアレイ 2 7 1 もしくは 2 7 2 の所定アドレスへ書き込み、メモリが読み出しモードの時には、メモリアレイ 2 7 1 もしくは 2 7 2 の所定アドレスにあるデータをセンスアンプ/IOバス 2 6 1 もしくは 2 6 2 を介して読み出し、さらに出力バッファ 2 8 2 を介してデータを出力する。

【0022】図 3 は、メモリコントローラ 1 7 の構成を示す図である。図にて 1 7 1 は直列化回路、1 7 2 は並列化回路、1 7 3 はメモリ空き容量演算回路、1 7 4 は符号化データ書き込みアドレス発生ユニット、1 7 5 は符号化データ読み出しアドレス発生ユニット、1 7 6 は動き補償用参照画像データアドレス発生ユニット、1 7 7 は復号画像データ書き込みアドレス発生ユニット、1 7 8 は表示画像データ読み出しアドレス発生ユニットである。

【0023】直列化回路 1 7 1 は、データバスを介して入力するデータを、例えば 4 8 b i t 幅のデータからメモリ 2 のデータバス幅である 1 6 b i t 幅の 3 つのシリアルデータに変換し、メモリ 2 に出力する。

【0024】並列化回路 1 7 2 は、逆にメモリ 2 より入力する 1 6 b i t 幅のデータをシリアルに連続する 3 つ分をパラレルに変換し、4 8 b i t のデータとして、データバスに出力する。

【0025】1 7 4 ~ 1 7 8 は、前記メモリ 2 のアドレス信号ならびに制御信号を発生するものであるが、メモリ 2 に出力もしくはメモリ 2 から入力するデータの種類のより、いずれかひとつのユニットが動作し、動作している 1 7 4 ~ 1 7 8 の内のひとつのアドレス発生ユニットの出力をアドレス信号ならびに制御信号としてメモリ 2 に供給する。

【0026】すなわち、符号化データ書き込みアドレス発生ユニット 1 7 4 は、符号化データ書き込みにおけるアドレスと制御信号を順次発生させ、メモリ 2 への符号化データの書き込みを制御する。符号化データ読み出しアドレス発生ユニット 1 7 5 は、符号化データ読み出しにおけるアドレスと制御信号を順次発生させ、メモリ 2

からの符号化データの読み出しを制御する。この時、復号バッファメモリ 1 2 からデータリクエスト信号が与えられていない場合には、たとえ符号化データ読み出しが可能な期間であっても、メモリ 2 からの符号化データの読み出しは一時停止される。なお、メモリ空き容量演算回路 1 7 3 は、符号化データ書き込みアドレス発生ユニット 1 7 4 で生成された書き込みアドレスと符号化データ読み出しアドレス発生ユニット 1 7 5 で生成された読み出しアドレスから、メモリ 2 に割り当てられている符号化データ用バッファ領域の空き容量を算出し、符号化データを格納する空きが所定データ数分存在する場合には、データリクエスト信号を入力バッファメモリ 1 1 に出力する。

【0027】動き補償用参照画像データ読み出しアドレス発生ユニット 1 7 6 は、参照画像データ読み出しにおけるアドレスと制御信号を順次発生させ、メモリ 2 からの参照画像データの読み出しを制御する。ここで、参照画像データ読み出しにおけるアドレスには、動き補償ユニット 1 5 から与えられる動きベクトルの値に応じてオフセット値が加えられる。復号画像データ書き込みアドレス発生ユニット 1 7 7 は、復号画像データ書き込みにおけるアドレスと制御信号を順次発生させ、メモリ 2 への復号画像データの書き込みを制御する。また、表示画像データ読み出しアドレス発生ユニット 1 7 8 は、表示画像データ読み出しにおけるアドレスと制御信号を順次発生させ、メモリ 2 からの表示画像データの読み出しを制御する。これら復号画像データの書き込み、ならびに表示画像データの読み出しに際しては、可変長復号ユニット 1 3 から出力されている符号化タイプに応じて、メモリ 2 内の 3 枚のフレームメモリのいずれかを選択し、それに対応したアドレスを生成する。

【0028】図 4 は、メモリ 2 のマップを示す図である。図中の数値は、米国や日本で採用されている 5 2 5 / 6 0 方式と称する TV 方式である一フレームの画像データが水平 7 2 0 画素、垂直 4 8 0 ラインの例である。また 6 2 5 / 5 0 方式と称する欧州等で採用されている TV 方式に対しても、フレームメモリのサイズを変更することにより、以下述べる考え方が適用できることは言うまでもない。バンク 0 とバンク 1 のそれぞれのメモリアレイ 2 7 1、2 7 2 は、それぞれ符号化データ用バッファ領域 5 2 8 行と、輝度信号用として 3 3 8 行、色信号用として 1 6 9 行から成る 5 0 7 行のフレムメモリを三面含む。

【0029】図 5 は、図 1 に示した入力バッファメモリ 1 1、ならびに復号バッファメモリ 1 2 の具体例を示す図である。入力バッファメモリ 1 1 において、1 1 1 は並列化回路、1 1 2 は F I F O メモリ、1 1 3 は、メモリ空き容量演算回路、1 1 4 は F I F O コントローラである。また復号バッファメモリ 1 2 において、1 2 1 は F I F O メモリ、1 2 2 はメモリ空き容量演算回路、1

23はFIFOコントローラである。

【0030】入力バッファメモリ11は、符号化データを入力部からメモリ2へ仲介する役割を持つものである。符号化データは、例えば8bitのデータ幅で、バッファメモリ11の並列化回路111に入力クロックに従って入力する。並列化回路111では、データバスと同じデータ幅の48bitデータに並列化し、FIFOメモリ112に入力する。FIFOメモリ112は、周知のファースト・イン・ファースト・アウトのメモリであり、FIFOコントローラ114にて制御する。FIFOコントローラ114の制御は、FIFOメモリ112のメモリ空き容量をメモリ空き容量演算回路113にて演算した結果と、データリクエスト信号に基づく。即ち、データリクエスト信号がデータ許可状態を示しており、かつメモリ空き容量演算回路113の演算結果が所定数のデータがFIFOメモリ112に貯まった状態を指示している時、FIFOメモリ112から符号化データをデータバス上に読み出す。読み出しのクロックは、復号クロックであり、このFIFOメモリにより入力クロックと復号クロックの非同期を解消する。

【0031】また復号バッファメモリ12は、符号化データをメモリ2からの48bit幅の符号化データを、FIFOメモリ121を介し、図1に示した復号処理過程の初段に相当する可変長復号ユニット13に仲介する。FIFOメモリ121はFIFOコントローラ123にて制御する。すなわち、FIFOメモリ121へのデータ供給は、メモリ空き容量演算回路122にてFIFOメモリ121の空き領域を演算し、FIFOメモリ121に空き領域が存在する場合に、メモリコントローラ17にデータリクエスト信号を出力し、メモリ2より読み出す所定数の符号化データをFIFOメモリ121へ書き込む。さらにFIFOメモリ121からは、可変長復号ユニット13の要求に応じて符号化データを出力する。

【0032】なおFIFOメモリ112およびFIFOメモリ121における空き領域は、メモリ2内のバンク0とバンク1とに少なくとも一回づつアクセス可能な数として定義される。例えばバンク0とバンク1のそれぞれのアクセス単位を8ワード(=16バイト)とすれば、前記所定数とはバンク0とバンク1とを一回づつアクセス可能な数であり、16ワードとなる。

【0033】図6は、符号化データ書き込みアドレス発生ユニット174～表示画像データ読み出しアドレス発生ユニット178の各種アドレス発生ユニットの主要構成を示す図である。ただし、動き補償用参照画像データ読み出しアドレス発生ユニット176において、動きベクトルにより、行ならびに列のアドレスのオフセット値を与える部分の図示は省略してある。図6にて、71は行アドレス発生回路、72は列アドレス発生回路、73はマルチプレクサ、74はバンクセクタ、75はタイ

ミングコントローラである。

【0034】行アドレス発生回路71は、メモリ2の行アドレスを発生し、列アドレス発生回路72は、同様にメモリ2の列アドレスを発生する。該行ならびに列アドレスはマルチプレクサ73にて多重し、アドレスバスに出力する。また、バンクセクタ74は、前記メモリ2のバンクセレクト信号(bank\_sel)を発生し、タイミングコントローラは、行ならびに列アドレス発生回路71、72やバンクセクタ74の動作を制御するほか、書き込み可能タイミング信号(WE)などの制御信号も発生させる。

【0035】図7は、メモリコントローラ17のメモリ2に対する制御タイミングを示す図である。T0、T1、T2……のそれぞれ区間は、バンクアクセススロットを示しており、T0、T1、T2……の一区間に於いては、メモリ2の同一バンク、同一行アドレスへアクセスする。さらに、Tに対する添え字の奇数番号と偶数番号とでは、異なるバンクへのアクセスを行わせる。本図で示したメモリ制御方法は、図3に示した符号化データ書き込みアドレス発生ユニット174～表示画像データ読み出しアドレス発生ユニット178のそれぞれに動作に対応しており、(a)表示画像データの読み出し、(b)参照画像データの読み出し、(c)符号化データの読み出し、(d)符号化データの書き込み、および(e)復号画像データの書き込みなどのメモリ制御は、このバンクアクセススロットを単位として、交互にメモリ2内のバンク0とバンク1に対し読み出し、もしくは書き込みのアクセスを行う。また、行アドレス変更は、データが異なるバンクに対して、アクセスしているバンクアクセススロット前の期間に行う。これにより、行アドレス変更に伴う待ち期間が見掛け上不要となり、実効的なメモリバンド幅が向上する。もちろん、各処理(a)～(e)において、バンクアクセススロットの長さは異なってもよい。

【0036】さらに図13に示すように、交互に異なるバンクへアクセスさせるメモリ制御動作は、(a)表示画像データの読み出しから(b)参照画像データの読み出し、(b)参照画像データの読み出しから(c)符号化データの読み出し、さらには(d)符号化データの書き込みから(e)復号画像データの書き込み、(e)復号画像データの書き込みから(a)表示画像データの読み出しといった異なるタイプのアクセス間にまたがる箇所においても守られる。このために各々の処理でのメモリ2へのアクセスは、バンク0から始まりバンク1で終わることと等価になるようにメモリ内への符号化データおよび復号画像データの配置を工夫している。

【0037】さらに図14に示すように、(c)符号化データの読み出しならびに(d)符号化データの書き込みについて示せば、メモリ2内のバンク0、バンク1の一行は、256の列アドレスがあり、前記バンクアクセ



スロット内に行アドレスの変更を伴わせないようにさせるために、バンクアクセススロットの期間の長さを8ワード(列アドレスの8個分)とする。これにより

(c) 符号化データの読み出し、(d) 符号化データの書き込みでは、バンクアクセススロットを固定長とすることができる。さらに(c) 符号化データ読み出しならびに(d) 符号化データ書き込みの各タイムスロットは、バンクアクセススロットが偶数個よりなるようにしており、バンク0よりアクセスを始め、必ずバンク1でアクセスを終えることができる。従って、符号化データを10 入力バッファメモリ11からメモリ2に書き込む場合には、入力バッファメモリ11内に少なくとも16ワードの符号化データが存在することを確認して行わせ、また符号化データをメモリ2から読み出し復号バッファメモリ12に書き込む場合には、復号バッファメモリ12に少なくとも16ワード以上の空き領域があることを確認してから行うようにする。

【0038】図8は、前記動き補償ユニット15の構成を示す図である。図にて、150は動きベクトルデコーダ、151は加算器、152は直列化回路、153、154は参照画像メモリ、155は参照画像メモリ153、154のタイミングコントローラ、156は並列化回路、157、158は復号画像メモリ、159は復号画像メモリ157、158のタイミングコントローラである。

【0039】動きベクトルデコーダ150は、前記メモリ2から動き補償のための参照画像データを読み出す際に、前記可変長復号ユニット13より入力する動きベクトル情報をデコードし、メモリコントローラ17に送出する。

【0040】動き補償のために読み出す参照画像データは、データバスを介し、参照画像メモリ153、154に入力するが、該2つの参照画像メモリ153、154は複数のブロックより成るマクロブロック単位でバンク形式で動作するものであり、一方が参照画像データの書き込みモードの場合は、もう一方は読み出しモードとなる。参照画像メモリ153、154の読み出しモードにあるメモリより読み出した参照画像データは、直列化回路152により画素単位のデータとして、加算器151の一方の入力とする。

【0041】加算器151のもう一方の入力は、前記IDCTユニット14にて逆コサイン変換されたIDCTデータであり、加算器151にて復号画像データを生成し、並列化回路156を介し、復号画像メモリ157、158に供給する。該復号化画像メモリ157、158もまたマクロブロック単位でバンク形式で動作するものであり、一方が復号画像データの書き込みモードの場合は、もう一方は読み出しモードとなる。さらに、復号画像メモリ157、158のうち読み出しモードにあるメモリより読み出した復号画像データは、データバスを介

し、メモリ2に書き込む。

【0042】図12は、表示ユニット16の構成を示す図である。図にて、161は輝度信号用のラインメモリ、162は色差信号のインタポレーション回路、163、164は色差信号のラインメモリ、165は画像データの直列化回路、166は161~165のブロックに対するタイミングコントローラである。

【0043】データバスを介し、表示用画像データはまず直列化回路165に入力する。直列化回路165では、いくつかの画素で並列化した画像データを画素単位でシリアル化する。シリアル化した画像データは、画像データが輝度信号であれば、ラインメモリ161に、色差信号であれば、画像データの位置水平走査期間毎にラインメモリ163かラインメモリ164のいずれかに書き込む。ラインメモリ161より読み出した輝度信号はそのまま出力するが、色差信号は、ラインメモリ163、164の両方から同時に読みだし、該2つの読み出しデータを用いて、インタポレーション回路162で内挿して出力する。

【0044】図9は、一フレーム画面内のブロック分割の様子を示す図である。本例では、米国や日本で用いられている525/60方式の現行TVに対応した場合は示しているが、本発明がこれに限定されるものでなく、欧州等で用いられている625/50方式のTV方式にも適用できることは言うまでもない。前述したように1フレームの画像データは、輝度信号と2種類の色差信号のデータより成り、輝度信号(図中ではYで表記)は水平720画素×垂直480ラインで、2種類の色差信号(図中では、Cb、Crで表記)は、輝度信号に対し解像度が水平も垂直も1/2倍の360画素×240ラインである。また離散コサイン変換は、8x8画素のブロックに対して適用され、マクロブロックは輝度信号のブロックと色信号のブロックとが領域的にほぼ一致する6個のブロックの集合として、定義される。このマクロブロックを用いて、一フレーム画面は、水平方向に45マクロブロック、垂直方向に30マクロブロックの合計45x30=1350マクロブロックで構成される。

【0045】また図10は、前記メモリ2の各々のバンクに対する、上記マクロブロック単位のマッピングを示す図である。図示したように、ひとつのマクロブロックの画像データは輝度信号と色差信号を別々にした状態で、ひとつのバンクのひとつの行アドレスの位置に対応して格納する。また同一のマクロブロック内の輝度信号と色信号の関係において、輝度信号と色信号のデータとは、異なるバンクに格納させる。さらに本例では、画面上の位置で隣接するマクロブロックに対応した画像データは、異なるバンクに格納させる。

【0046】この結果、前記図7において、マクロブロック内の輝度信号の画像データに対しひとつのタイムスロットを、マクロブロック内の色信号の画像データに対

しひとつのタイムスロットを対応させ、 $i$  番目のマクロブロックの輝度信号→ $i$  番目のマクロブロックの色差信号→ $(i+1)$  番目のマクロブロックの色差信号→ $(i+1)$  番目のマクロブロックの輝度信号の順に復号画像データの書き込みを行えば、バンク0とバンク1とを交互にアクセスすることが容易に実現できる。

【0047】さらに表示用画像データの読み出しにおいても、上記復号化画像データの書き込みと同様、輝度信号と色信号をペアにして考えれば、バンク0とバンク1とを交互にアクセスすることが可能である。

【0048】図11は、動き補償において参照画像データとして読み出すべき範囲を、前記マクロブロックに対応させて示した図である。参照画像データの範囲は、図示したように4つのマクロブロックにまたがる場合が一般的であるが、それぞれのマクロブロックに対し、輝度信号の画像データと色差信号の画像データのバンクが異なること、隣接するマクロブロックに対してもバンクが異なることを考慮して、バンクを交互にアクセスすることが可能である、即ち、図10に示したマッピング例に基づけば、図11の $i$ が奇数もしくは偶数を判別すれば、マクロブロック $i$ の輝度信号の画像データがいずれのバンクにあるのかが判明する（色差信号の画像データは、輝度信号と異なるバンクにある）。例えば $i$ が偶数であれば、マクロブロック $i$ の輝度信号がバンク0、色差信号はバンク1に格納されており、リファレンス画像データとして、マクロブロック $i$ の輝度信号→マクロブロック $i$ の色差信号→マクロブロック $(i+1)$ の色差信号→マクロブロック $(i+1)$ の輝度信号→マクロブロック $(i+46)$ の輝度信号→マクロブロック $(i+46)$ の色差信号→マクロブロック $(i+45)$ の色信号→マクロブロック $(i+45)$ の輝度信号の順か、もしくは、マクロブロック $i$ の輝度信号→マクロブロック $(i+1)$ の輝度信号→マクロブロック $(i+46)$ の輝度信号→マクロブロック $(i+45)$ の輝度信号→マクロブロック $(i+45)$ の色差信号→マクロブロック $(i+46)$ の色信号→マクロブロック $(i+1)$ の色信号→マクロブロック $i$ の色差信号というような順に読みだせば、バンク0とバンク1とを交互にアクセスすることが可能である。

【0049】図15は、画像データのマッピングを示す別の例である。本図に示した方法では、一つのマクロブロック内のデータをメモリ2のバンク0とバンク1に均等に分割して格納する。図15は、マクロブロック内の画像データのバンク0とバンク1への分配の様子を示したものである。

【0050】図示したように、マクロブロックは8ワードを一行として、輝度信号で16行、色差信号で8行の画像データより成る。これらの画像データは、二行毎にバンク0、バンク1へ振り分けられる。即ち輝度信号で、第1、2、5、6、9、10、13、14行と、色

差信号で第1、2、5、6行がバンク0に、輝度信号で、第3、4、7、8、11、12、15、16行と、色差信号で第3、4、7、8行がバンク1に書き込まれる。

【0051】現行のTV方式は、二つのフィールドより一つのフレームを構成させるインタレース走査を行っている。またこれに対応した画像符号化方式では、動き補償方式のタイプとしてフィールドに基づくフィールド予測と、フレームに基づくフレーム予測とを適応的に切り替えることが行われる。マクロブロックは、フレーム内、即ち二つのフィールドの画像データが集合したものであり、図15において、輝度信号、色差信号ともに奇数行が一つのフィールドの、偶数行がもう一つのフィールドの画像データである。

【0052】図15の方式では、フレーム予測に対応して画像データをフレームで参照する場合でも、フィールド予測に対応して画像データをフィールドで参照する場合でも、いずれのバンクにも均等に画像データを格納させているため、参照画像データの読み出しにおいて、バンク0とバンク1の交互アクセスを容易に実現できる。

【0053】

【発明の効果】以上説明したように本発明では、メモリを複数個のメモリセル（バンク）で構成し、あるメモリセルに対する行アドレスの設定を、異なるメモリセルに対しデータを書き込む、あるいはデータを読み出している期間に行わせる。このため行アドレス設定に関して待ち時間が不要となり、メモリに対する実効的なデータバンド幅を向上させ、16bitの様な小さなバス幅でメモリとデコーダとを接続させる構成を可能とさせる。

【0054】このことは、従来16bitのデータ幅を持つ4Mbitメモリを4個並列に配置し、64bitのバス幅にてデコーダとメモリを接続していたのが、データ幅16bit、16Mbit容量の一個のメモリを用いて実現可能とする。

【図面の簡単な説明】

【図1】本発明による画像復号化装置の例。

【図2】メモリの構成を示す図。

【図3】メモリコントローラの構成を示す図。

【図4】メモリへの画像データのマッピング例を示す図。

【図5】バッファメモリの構成を示す図。

【図6】アドレス発生ユニットの構成を示す図。

【図7】メモリ制御方式の基本パターンを示す図。

【図8】動き補償ユニットの構成を示す図。

【図9】一フレーム画面内のブロック分割を示す図。

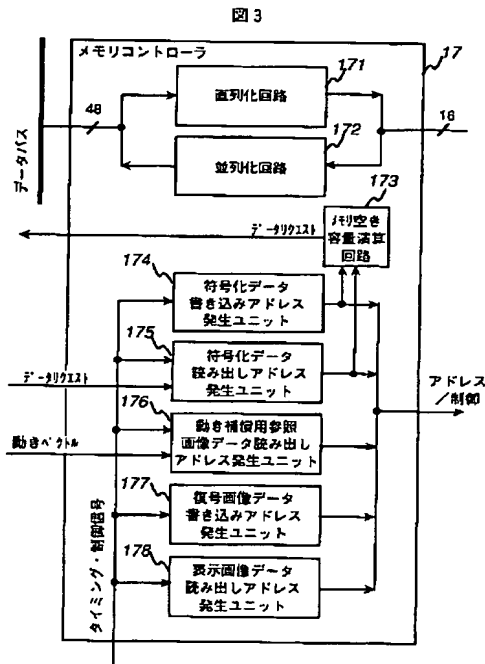
【図10】フレームメモリへのマクロブロック単位のマッピング例を示す図。

【図11】動き補償のための参照画像データの読み出し範囲を示す図。

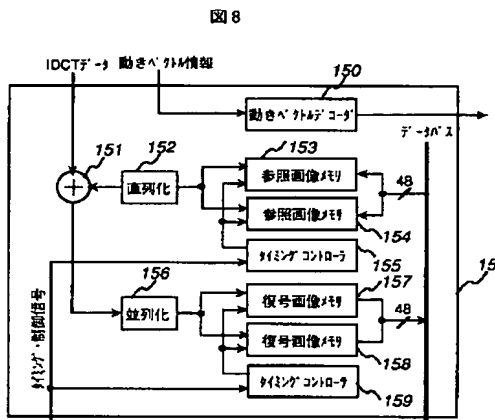
【図12】表示ユニットの構成を示す図。



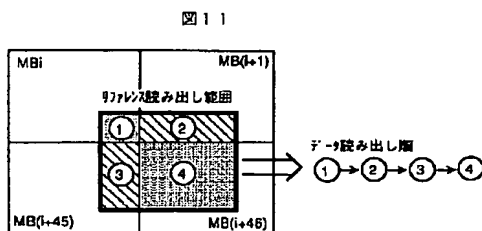
【図 3】



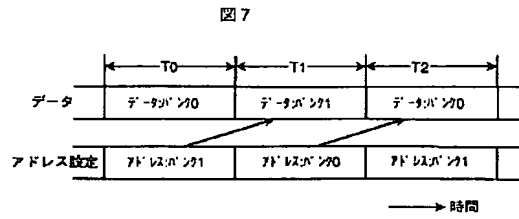
【図 8】



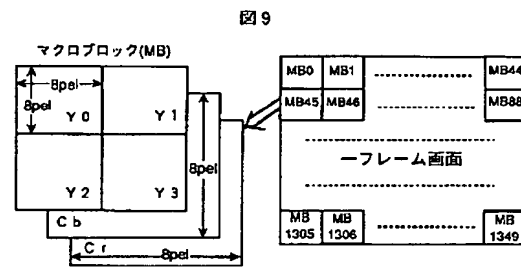
【図 11】



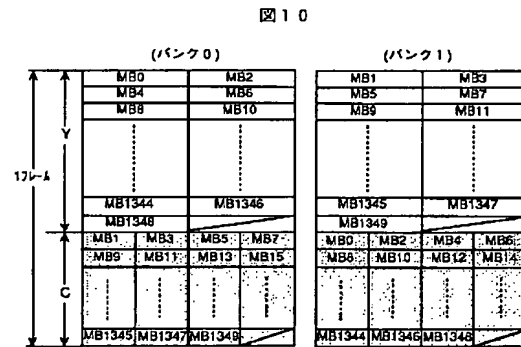
【図 7】



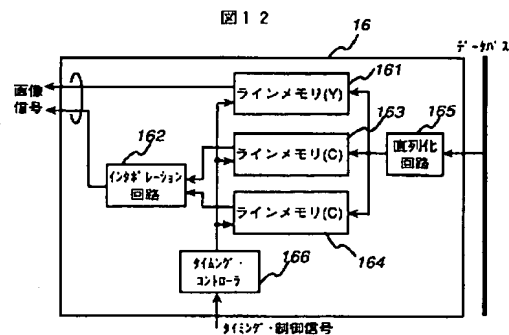
【図 9】



【図 10】

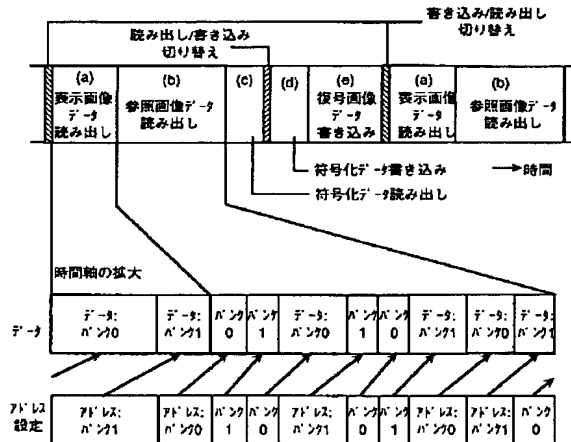


【図 12】



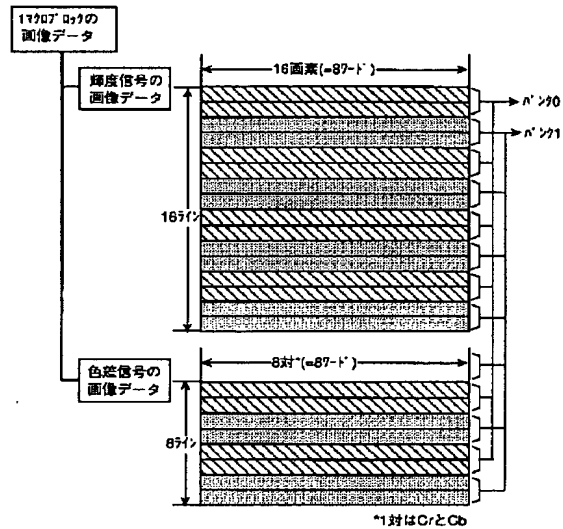
【図13】

図13



【図15】

図15



フロントページの続き

(51)Int.Cl.<sup>6</sup>

H03M 7/40

識別記号

庁内整理番号

9382-5K

F I

技術表示箇所

(72)発明者 中本 貴士

東京都小平市上水本町五丁目20番1号株式  
会社日立製作所半導体事業部内